

# CIRCUIT TESTING EQUIPMENT

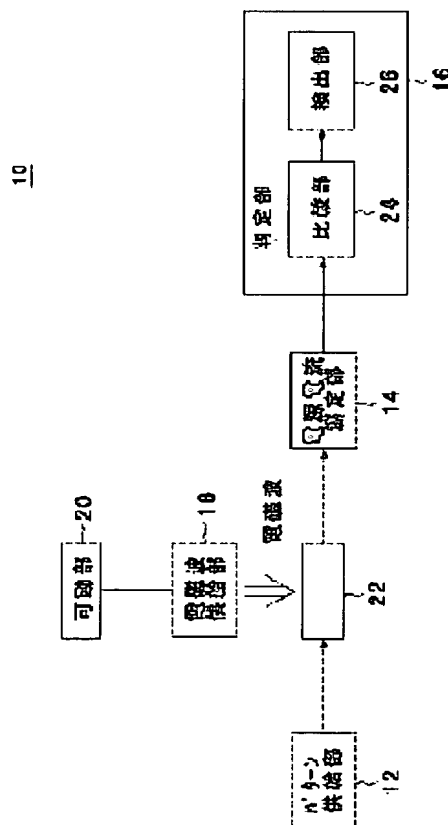
W1296

Patent number: JP2001166012  
 Publication date: 2001-06-22  
 Inventor: FURUKAWA YASUO; HASHIZUME MASAKI;  
 ICHINOMIYA MASAHIRO; TAMESADA TAKETOMI  
 Applicant: ADVANTEST CORP  
 Classification:  
 - international: G01R31/30; G01R31/02; G01R31/28  
 - european:  
 Application number: JP19990354594 19991214  
 Priority number(s):

## Abstract of JP2001166012

**PROBLEM TO BE SOLVED:** To provide a circuit testing equipment capable of efficiently testing a circuit.

**SOLUTION:** This circuit testing equipment 10 is equipped with a pattern feeding part 12, a power supply current measuring part 14, a determining part 16, an electromagnetic wave feeding part 18, and a movable part 20. The pattern feeding part 12 feeds a test pattern to a circuit 22 to be tested. The electromagnetic wave feeding part 18 feeds an electromagnetic wave to the circuit 22 to be tested. The electromagnetic wave feeding part 18 preferably has one or more coils to output an electromagnetic wave having a designated frequency. In situations where the electromagnetic wave is fed to the circuit 22 to be tested from the electromagnetic wave feeding part 18 and the test pattern is fed to the circuit 22 to be tested from the pattern feeding part 12, the power supply current measuring part 14 can measure the power supply current of the circuit 22 to be tested. If there is a failure caused by severance of wire in the circuit 22 to be tested, the power supply current fluctuates, even if a transistor is in a stationary condition. The determining part 16 has a comparing part 24 and a detecting part 26, and can determine whether there is a failure in the circuit 22 to be tested or not based on the power supply current measured in the power supply current measuring part 14.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

W1296

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-166012  
(P2001-166012A)

(43) 公開日 平成13年 6 月22日 (2001. 6. 22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 1 R 31/30		G 0 1 R 31/30	2 G 0 1 4
31/02		31/02	2 G 0 3 2
31/28		31/28	H

審査請求 未請求 請求項の数18 O L (全 10 頁)

(21) 出願番号 特願平11-354594

(22) 出願日 平成11年12月14日 (1999. 12. 14)

(71) 出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町 1 丁目32番 1 号  
(72) 発明者 古川 靖夫  
東京都練馬区旭町 1 丁目32番 1 号株式会社  
アドバンテスト内  
(72) 発明者 橋爪 正樹  
徳島県徳島市中常三島町 2 丁目 9 番地 2 号  
(72) 発明者 一宮 正博  
徳島県徳島市国府町府中460番地 2 号  
(74) 代理人 100104156  
弁理士 龍華 明裕

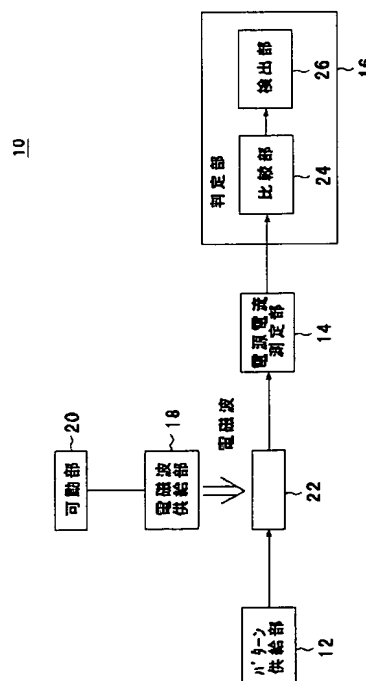
最終頁に続く

(54) 【発明の名称】 回路試験装置

(57) 【要約】

【課題】 本発明は、効率よく回路を試験することができる回路試験装置を提供することを目的とする。

【解決手段】 本発明による回路試験装置 10 は、パターン供給部 12、電源電流測定部 14、判定部 16、電磁波供給部 18 および可動部 20 を備える。パターン供給部 12 が、テストパターンを被試験回路 22 に供給する。電磁波供給部 18 は、被試験回路 22 に電磁波を供給する。電磁波供給部 18 は、所定の周波数を有する電磁波を出力する 1 つ以上のコイルを有するのが好ましい。電源電流測定部 14 は、電磁波供給部 18 により電磁波が被試験回路 22 に供給され、パターン供給部 12 によりテストパターンが被試験回路 22 に供給されている状態において、被試験回路 22 の電源電流を測定することができる。被試験回路 22 に断線故障がある場合には、トランジスタの静止状態であっても、電源電流に変動が生じる。判定部 16 は、比較部 24 および検出部 26 を有し、電源電流測定部 14 において測定された電源電流に基づいて、被試験回路 22 の故障の有無を判定することができる。



## 【特許請求の範囲】

【請求項1】 回路を試験する回路試験装置であって、前記回路に電磁波を供給する電磁波供給部と、前記電磁波供給部により電磁波が前記回路に供給されている状態において、前記回路の電源電流を測定する電源電流測定部と、

前記電源電流に基づいて、前記回路の故障の有無を判定する判定部とを備えたことを特徴とする回路試験装置。

【請求項2】 前記回路にテストパターンを供給するパターン供給部を更に備え、

前記電源電流測定部は、前記パターン供給部により前記テストパターンが前記回路に供給されている状態において、前記回路の電源電流を測定することを特徴とする請求項1に記載の回路試験装置。

【請求項3】 前記電磁波供給部は、所定の周波数を有する電磁波を出力するコイルを有することを特徴とする請求項2に記載の回路試験装置。

【請求項4】 前記電磁波供給部は、第1周波数を有する電磁波を出力する第1コイルと、第2周波数を有する電磁波を出力し、前記第1コイルと異なる位置に配置される第2コイルを有することを特徴とする請求項3に記載の回路試験装置。

【請求項5】 前記電磁波供給部は、前記回路に対する前記コイルの位置または向きを調整することができるコイル可動部を有し、

前記電源電流測定部は、前記コイル可動部により位置または向きが調整された前記コイルから電磁波が前記回路に供給されている状態において、前記回路の電源電流を測定することを特徴とする請求項3または4に記載の回路試験装置。

【請求項6】 前記判定部は、前記電源電流の周波数と、前記電磁波の周波数とを比較する比較部と、比較結果に基づいて、前記回路の故障を検出する検出部とを有することを特徴とする請求項1から5のいずれかに記載の回路試験装置。

【請求項7】 前記判定部は、前記電源電流の周波数を、前記第1周波数および前記第2周波数と比較する比較部と、比較結果に基づいて、前記回路の故障箇所を検出する検出部とを有することを特徴とする請求項4に記載の回路試験装置。

【請求項8】 回路を試験する回路試験装置であって、前記回路に交流電界を供給する交流電界供給部と、前記交流電界供給部により交流電界が前記回路に供給されている状態において、前記回路の電源電流を測定する電源電流測定部と、前記電源電流に基づいて、前記回路の故障の有無を判定する判定部とを備えたことを特徴とする回路試験装置。

【請求項9】 前記回路にテストパターンを供給するパ

ターン供給部を更に備え、

前記電源電流測定部は、前記パターン供給部により前記テストパターンが前記回路に供給されている状態において、前記回路の電源電流を測定することを特徴とする請求項8に記載の回路試験装置。

【請求項10】 前記交流電界供給部は、所定の周波数を有する交流電界を前記回路に供給することを特徴とする請求項8または9に記載の回路試験装置。

【請求項11】 前記交流電界供給部は、交流電界の周波数を変化させることができる交流電源を有し、前記電源電流測定部は、前記交流電源により周波数を変化された交流電界が前記回路に供給されている状態において、前記回路の電源電流を測定することを特徴とする請求項10に記載の回路試験装置。

【請求項12】 前記回路が複数の論理素子を有するCMOS回路を含むとき、

前記交流電界供給部は、前記複数の論理素子中の一部の論理素子の入力に交流電界を供給する複数のプローブを有することを特徴とする請求項8から11のいずれかに記載の回路試験装置。

【請求項13】 前記判定部は、前記電源電流の周波数と、前記交流電界の周波数とを比較する比較部と、

比較結果に基づいて、前記回路の故障を検出する検出部とを有することを特徴とする請求項8から12のいずれかに記載の回路試験装置。

【請求項14】 前記回路が複数の論理素子を有するCMOS回路を含むとき、

前記パターン供給部は、前記複数の論理素子中の一部の論理素子が有する入力に対して、一つの入力に入力される入力信号が前記論理素子の出力を決定しないように、それぞれの入力に対して定められた前記入力信号の組み合わせである前記テストパターンを、前記論理素子に供給することを特徴とする請求項1から13に記載の回路試験装置。

【請求項15】 前記パターン供給部は、前記回路にランダムな前記テストパターンを供給することを特徴とする請求項1から13に記載の回路試験装置。

【請求項16】 前記回路が複数の論理素子を有するCMOS回路を含むとき、

前記パターン供給部は、前記回路に含まれる全てのトランジスタを少なくとも一度動作させるように、前記テストパターンを前記回路に供給することを特徴とする請求項1から13に記載の回路試験装置。

【請求項17】 複数の論理素子を有するCMOS回路であって、断線故障の有無を試験するために外部から供給される電磁波を受信して、前記複数の論理素子中の少なくとも一部の論理素子の入力に、電磁波に基づいて交流波形を供給する断線故障診断用アンテナを形成されたことを特徴とするCMOS回路。

【請求項18】 複数の論理素子を有するCMOS回路であって、断線故障の有無を試験するために外部から供給される交流電界により荷電量を変化させ、前記複数の論理素子中の少なくとも一部の論理素子の入力に、交流波形を供給する断線故障診断用キャパシタを形成されたことを特徴とするCMOS回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路を試験する回路試験装置に関し、特に、回路の電源電流に基づいて故障の有無を判定する回路試験装置に関する。

【0002】

【従来の技術】現在、非常に多くの半導体デバイスが製造されている。製造された半導体デバイスは、市場に出荷される前に、半導体試験装置によって故障の有無を診断される必要がある。半導体試験装置は、半導体デバイスに対してファンクションテストと呼ばれる試験を行ない、その良否を判定する。ファンクションテストにおいて、テストパターンが半導体デバイスに供給され、半導体デバイスから出力される出力結果に基づいて、その良否が判定される。

【0003】近年、半導体デバイスを高集積化する研究が盛んに進められている。半導体デバイスの高集積化に伴って、ファンクションテストにおけるテストパターンが複雑化し、生成が困難となってきた。また、全ての素子を全ての故障可能性についてファンクションテストによって完璧に試験しようとする、テストパターンの量が膨大であるため、試験時間がかかりすぎ、そのようなファンクションテストが実質的に不可能となっている。

【0004】

【発明が解決しようとする課題】ファンクションテストとは別に、試験を効率的に行なうべく開発された試験法として、半導体デバイスの静止電源電流を測定する静止電源電流試験と呼ばれる方法がある。この方法は、正常なトランジスタが静止状態で殆ど電流を流さないことを利用し、静止状態における異常電流を検出することによって、半導体デバイスの良否を判定することを特徴とする。従来の静止電源電流試験は、入力するパターンによって異常電流の検出が困難となる場合があり、また、異常電流とノイズを区別するのが困難であるという問題があった。

【0005】そこで本発明は、上記課題を解決することのできる回路試験装置を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の形態は、回路を試験する回路試験装置であって、回路に電磁波を供給する電磁波供給部と、

電磁波供給部により電磁波が回路に供給されている状態において、回路の電源電流を測定する電源電流測定部と、電源電流に基づいて、回路の故障の有無を判定する判定部とを備えたことを特徴とする回路試験装置を提供する。本発明の第1の形態は、回路に電磁波を供給することによって、断線故障を有する回路の電源電流に異常電流を生じさせ、回路の故障を検出することを一つの特徴とする。

【0007】回路試験装置は、回路にテストパターンを供給するパターン供給部を更に備え、電源電流測定部は、パターン供給部によりテストパターンが回路に供給されている状態において、回路の電源電流を測定することができる。

【0008】電磁波供給部は、所定の周波数を有する電磁波を出力するコイルを有してもよい。また、電磁波供給部は、第1周波数を有する電磁波を出力する第1コイルと、第2周波数を有する電磁波を出力し、第1コイルと異なる位置に配置される第2コイルを有してもよい。また、電磁波供給部は、回路に対するコイルの位置または向きを調整することができるコイル可動部を有し、電源電流測定部は、コイル可動部により位置または向きが調整されたコイルから電磁波が回路に供給されている状態において、回路の電源電流を測定することができる。

【0009】判定部は、電源電流の周波数と、電磁波の周波数とを比較する比較部と、比較結果に基づいて、回路の故障を検出する検出部とを有してもよい。また、判定部は、電源電流の周波数を、第1周波数および第2周波数と比較する比較部と、比較結果に基づいて、回路の故障箇所を検出する検出部とを有してもよい。

【0010】本発明の第2の形態は、回路を試験する回路試験装置であって、回路に交流電界を供給する交流電界供給部と、交流電界供給部により交流電界が回路に供給されている状態において、回路の電源電流を測定する電源電流測定部と、電源電流に基づいて、回路の故障の有無を判定する判定部とを備えたことを特徴とする回路試験装置を提供する。本発明の第2の形態は、回路に交流電界を供給することによって、断線故障を有する回路の電源電流に異常電流を生じさせ、回路の故障を検出することを一つの特徴とする。

【0011】回路試験装置は、回路にテストパターンを供給するパターン供給部を更に備え、電源電流測定部は、パターン供給部によりテストパターンが回路に供給されている状態において、回路の電源電流を測定することができる。

【0012】交流電界供給部は、所定の周波数を有する交流電界を回路に供給してもよい。交流電界供給部は、交流電界の周波数を変化させることができる交流電源を有し、電源電流測定部は、交流電源により周波数を変化された交流電界が回路に供給されている状態において、回路の電源電流を測定することができる。回路が複数の

論理素子を有するCMOS回路を含むとき、交流電界供給部は、複数の論理素子中の一部の論理素子の入力に交流電界を供給する複数のプローブを有してもよい。

【0013】判定部は、電源電流の周波数と、交流電界の周波数とを比較する比較部と、比較結果に基づいて、回路の故障を検出する検出部とを有してもよい。

【0014】第1および第2の形態における回路試験装置において、回路が複数の論理素子を有するCMOS回路を含むとき、パターン供給部は、複数の論理素子中の一部の論理素子が有する入力に対して、一つの入力に入力される入力信号が論理素子の出力を決定しないように、それぞれの入力に対して定められた入力信号の組み合わせであるテストパターンを、論理素子に供給することができる。

【0015】パターン供給部は、回路にランダムなテストパターンを供給してもよい。また、パターン供給部は、回路に含まれる全てのトランジスタを少なくとも一度動作させるように、テストパターンを回路に供給してもよい。

【0016】また、本発明の第3の形態は、複数の論理素子を有するCMOS回路であって、断線故障の有無を試験するために外部から供給される電磁波を受信して、複数の論理素子中の少なくとも一部の論理素子の入力に、電磁波に基づいて交流波形を供給する断線故障診断用アンテナを形成されたことを特徴とするCMOS回路を提供する。第3の形態におけるCMOS回路は、第1の形態における回路試験装置によって効率よく故障を検出されることが可能である。

【0017】また、本発明の第4の形態は、複数の論理素子を有するCMOS回路であって、断線故障の有無を試験するために外部から供給される交流電界により荷電量を変化させ、複数の論理素子中の少なくとも一部の論理素子の入力に、交流波形を供給する断線故障診断用キャパシタを形成されたことを特徴とするCMOS回路を提供する。第4の形態におけるCMOS回路は、第2の形態における回路試験装置によって効率よく故障を検出されることが可能である。

【0018】なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

【0019】

【発明の実施の形態】以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0020】図1は、本発明の第1実施形態における、被試験回路22を試験する回路試験装置10のブロック図を示す。回路試験装置10は、パターン供給部12、電源電流測定部14、判定部16、電磁波供給部18お

よび可動部20を備える。本発明において、被試験回路22は、複数の論理素子を有するCMOS回路などのデジタル回路であってもよく、またデジタル/アナログ混在回路であってもよい。混在回路である場合には、回路試験装置10は、アナログ回路をオフにした後に、デジタル回路の試験を行なうのが望ましい。

【0021】パターン供給部12が、テストパターンを被試験回路22に供給する。パターン供給部12は、行われる試験項目に応じて、様々なテストパターンを生成できることが望ましい。例えば、パターン供給部12は、複数の論理素子中の一部の論理素子が有する入力に対して、一つの入力に入力される入力信号が当該論理素子の出力を決定しないように、それぞれの入力に対して定められた入力信号の組み合わせであるテストパターンを、当該論理素子に供給してもよい。また、パターン供給部12は、被試験回路22にランダムなテストパターンを供給してもよい。また、パターン供給部12は、被試験回路22に含まれる全てのトランジスタを少なくとも一度動作させるように、テストパターンを被試験回路22に供給してもよい。このようなテストパターンの利用法については後述する。

【0022】電磁波供給部18は、被試験回路22に電磁波を供給する。電磁波供給部18は、所定の周波数を有する電磁波を出力する1つ以上のコイルを有するのが好ましい。電磁波供給部18が複数のコイルを有する場合、複数のコイルから出力される電磁波の周波数は、互いに異なっていることが好ましい。また、これらのコイルは、互いに異なる位置または向きで配置されるのが好ましい。電磁波供給部18は、電磁波の強度および周波数を自由に調整することができる。電磁波供給部18は、被試験回路22に含まれるトランジスタのゲート耐圧および容量などに基づいて、電磁波強度を定める必要がある。可動部20は、電磁波供給部18に含まれるコイルを三次元的に自由に動かし、被試験回路22に対するコイルの位置及び/又は向きを調整できるのが望ましい。以上の構成により、電磁波供給部18は、所望の強度および方向を有する電磁波を、被試験回路22に供給することが可能である。

【0023】電源電流測定部14は、電磁波供給部18により電磁波が被試験回路22に供給され、パターン供給部12によりテストパターンが被試験回路22に供給されている状態において、被試験回路22の電源電流を測定することができる。判定部16は、比較部24および検出部26を有し、電源電流測定部14において測定された電源電流に基づいて、被試験回路22の故障の有無を判定することができる。まず、比較部24が、電源電流の周波数と、電磁波の周波数とを比較する。検出部26は、比較部24における比較結果に基づいて、被試験回路22の故障を検出する。電磁波供給部18が、第1周波数を有する電磁波と、第2周波数を有する電磁波

を出力している場合には、比較部24が、電源電流の周波数を、第1周波数および第2周波数と比較する。被試験回路22に対する2つのコイルからの電磁波の方向が互いに異なっているとき、検出部26は、被試験回路22の故障信号線の方向を特定することができ、故障箇所を検出できることもある。

【0024】磁界の向きに垂直な方向に存在する被試験回路22の信号線は、電磁波を受けるアンテナとして機能し、信号線に交流電流を生じさせる。そのため、被試験回路22内部のトランジスタのゲート入力信号線が断線している場合、断線部分からゲートまでの信号線がアンテナとして機能し、電磁波の周期に合わせて、ゲートをオン/オフする。そのため、トランジスタの動作が終了し、静止状態にある場合であっても、ゲートのオン/オフにより、電源電流に異常電流が現れる。比較部24は、異常電流の周波数をスペクトル解析し、電磁波の周波数と比較することによって、異常電流が電磁波により生じたものか否かを判定する。

【0025】磁界の向きに平行な方向に存在する被試験回路22の信号線は、供給される電磁波に対してアンテナ効果を生じさせない。そのため、試験中、可動部20が、コイルの位置および向きを調整することが望ましい。電源電流測定部14は、位置および向きを調整されたコイルから電磁波が被試験回路22に供給されている状態において、被試験回路22の電源電流を測定することが望ましい。

【0026】図2は、第1周波数を有する電磁波を出力する第1コイル18aと、第2周波数を有する電磁波を出力する第2コイル18bの位置関係の一例を示す。第1コイル18aおよび第2コイル18bは、被試験回路22に対してほぼ直交する向きに配置されている。前述したように、第1コイル18aおよび第2コイル18bは、それぞれに設けられる可動部20により、自由に動かされることが可能である。

【0027】前述したように、断線した信号線が磁界の向きに垂直な方向に延びていれば、電磁波を受けるアンテナとして機能することができる。しかし、断線した信号線が磁界の向きに平行に延びていると、信号線のアンテナ効果は生じない。そのため、図2に示されるように、2つのコイル18aおよび18bを、被試験回路22に対して互いに角度付けて配置することにより、断線信号線が、いずれかの電磁波に対してアンテナとして機能することが可能となる。

【0028】尚、図2においては、コイル18aおよび18bの双方が、被試験回路22の側部に配置されているが、これらは、被試験回路22の上方、下方、または被試験回路22の面に対して角度付けられて配置されてもよい。

【0029】図3は、NANDゲート30のゲート信号入力線の状態を示す。図3(a)は、ゲート信号入力線

が正常な状態を示す。図3(b)は、ゲート信号入力線が断線した状態を示す。図3(c)は、ゲート信号入力線に抵抗性オープン欠陥が生じている状態を示す。ゲート信号入力線の抵抗Rは、数10MΩほどの高い抵抗値を有する。

【0030】図4は、図3(b)に示された故障回路1の回路図である。図示されるように、ゲート入力bにつながるゲート信号入力線が、断線している。ゲート入力aから所定の周期を有するクロックVaが入力される。

【0031】図5は、被試験回路22において測定される電源電流と、電磁波との関係を示すタイミングチャートである。Vaは、ゲート入力aに供給される信号の電圧波形を示す。Iddは、測定される電源電流波形を示す。Voscは、コイルから発振される電磁波の波形を示す。

【0032】図5(a)は、正常回路において測定される電源電流と、電磁波との関係を示すタイミングチャートである。図示されるように、Vaの立上がりまたは立下がりにより、CMOS回路において貫通電流が流れるため、電源電流にスパイクが生じる。トランジスタの動作が終了した状態では、電源電流は、漏れ電流などの僅かな電流しか流れない。

【0033】図5(b)は、ゲート信号入力線が断線した故障回路1において測定される電源電流と、電磁波との関係を示すタイミングチャートである。図5(a)に示されたスパイクに加えて、VaがH(ハイ)のときに、異常電流が生じる。この異常電流の周波数は、Voscの周波数に等しい。

【0034】一方、VaがL(ロー)のときには、静止電源電流は安定する。NANDゲートの一方の入力に、Lが入力されると、NANDゲートの出力はHに一意的に決定される。従って、図4を参照して、入力aに入力されるVaがLであるとき、出力はHに定められ、断線信号線に電磁波が供給されても、NANDゲートの出力は変化しない。そのため、電源電流Iddに異常電流が生じなくなる。

【0035】このように、パターン供給部12は、論理素子が有する入力に対して、一つの入力に入力される入力信号が当該論理素子の出力を決定しないように、それぞれの入力に対して定められた入力信号の組み合わせであるテストパターンを生成するのが好ましい。このように、各論理ゲートの出力を一意的に決定しない入力論理値を、「非制御入力信号値」と呼ぶ。非制御入力信号値は、例えば、ANDゲート、NANDゲートに対しては"1"であり、ORゲート、NORゲートに対しては"0"であり、また、XORゲート、XNORゲートに対しては"0"または"1"のいずれであってもよい。

【0036】図6は、2入力NANDゲートにおいて生じる故障箇所の例を示す。故障d1、d2、d3、d4

は、ゲート内部の断線故障を示す。この実施例において、ゲート内部の断線故障を検出する場合には、出力cをフローティング状態にし、出力cから電磁波の周期に同期した交流波形を出力させ、電源電流に異常電流が観測されるようにする。

【0037】故障d1を検出する場合、入力aにL、入力bにHを供給すると、出力cに接続するトランジスタTr2およびTr3がオフになり、Tr1がオンになる。Tr1から出力cまでの経路の間に故障d1が存在するため、出力cがフローティング状態になる。このとき、電磁波が供給されると、電源電流Iddに異常電流が観測される。同様に、故障d2を検出する場合、入力aにH、入力bにLを供給すると、出力cをフローティング状態にすることができる。故障d3を検出する場合には、入力aまたは入力bの少なくともいずれか一方にLを供給すればよい。故障d4を検出する場合には、入力aおよびbの双方にHを供給すればよい。

【0038】一方、故障d5、d6、d7は、ゲートの入力部における断線故障を示す。ゲートの入力部の断線故障を検出する場合には、断線した信号線をゲート入力とするトランジスタのオン/オフにより、電源電流に異常電流が生じるように、入力aおよびbに信号を供給する。

【0039】故障d5を検出する場合、入力aにL、入力bにHを供給する。このとき、トランジスタTr2およびTr3がオフになり、トランジスタTr1のオン/オフによって、NANDゲートの出力が定まる。故障d5からTr1のゲート入力までの信号線がアンテナとして機能し、電磁波を受信して、Tr1のゲートをオン/オフする。その結果、出力cからは、電磁波に同期した交流波形が出力され、電源電流に異常電流が生じる。異常電流が出力される。同様に、故障d6を検出する場合、入力aおよびbにHを供給すればよい。故障d7については、図4および5に関連して説明したように、入力aにHを供給すればよい。

【0040】パターン供給部12は、上述したようなテストパターンを生成できることが好ましい。本発明による回路試験装置10は、このように形成されたテストパターンを利用することによって、ゲート内外の故障を効率的に検出することが可能となる。

【0041】一方、別のアプローチとして、パターン供給部12が、ランダムなテストパターンを生成してもよい。このとき、回路試験装置10は、複数の論理素子の中で、全ての入力に非制御信号入力値が入力された論理素子の良否を判定することができる。ランダムなテストパターンを繰り返し被試験回路22に供給することによって、被試験回路22の良否を確立的に判定することが可能となる。また、パターン供給部12は、被試験回路22に含まれる全てのトランジスタを少なくとも一度動作させるように、テストパターンを生成することが望

ましい。全てのトランジスタを動作させることによって、被試験回路22の良否を判定することが可能となる。

【0042】図7は、図3に示された各回路の、実験により測定された電源電流波形を示す。図7(a)は、正常回路の電源電流波形を示す。図示されるように、トランジスタの静止状態において、電源電流が安定している。

【0043】図7(b)は、故障回路1の電源電流波形を示す。VaがHのとき、電源電流Iddに、電磁波の周期に同期した異常電流が現れている。これは、電磁波により、NANDゲートの入力bの電圧が、しきい値電圧付近で変動し、NANDゲートの出力論理値が変化するためである。一方、VaがLのとき、電源電流Iddは、安定している。

【0044】図7(c)は、故障回路2の電源電流波形を示す。故障回路1の電源電流波形と同様に、VaがHのとき、電源電流Iddに、電磁波の周期に同期した異常電流が現れている。VaがLのとき、電源電流Iddは、安定している。

【0045】図8は、図1から7に関連して説明した回路試験装置10によって、効率的に試験されることが可能なCMOS回路32の一部の構成を示す。CMOS回路32は、複数の論理素子34a、34b、34cを有する。また、CMOS回路32は、断線故障の有無を試験するために外部から供給される電磁波を受信して、複数の論理素子中の少なくとも一部の論理素子の入力に、電磁波に基づいて交流波形を供給する断線故障診断用アンテナ36a、36bを有する。

【0046】前述したとおり、回路試験装置10は、電磁波を受信してトランジスタに交流波形を供給するために、回路の断線箇所からゲート入力までの信号線のアンテナ効果を利用することができる。図8に示されたCMOS回路32は、更に断線故障診断用アンテナ32a、32bが形成されていることによって、高いアンテナ効果を得ることができるようになる。

【0047】図9は、本発明の第2実施形態における、被試験回路22を試験する回路試験装置50のブロック図を示す。回路試験装置50は、パターン供給部12、電源電流測定部14、判定部16、および交流電界供給部40を備える。判定部16は、比較部24および検出部26を有する。図1に示された符号と同一の符号を付された構成は、図1の対応する構成と同一または同様の機能および動作を実現することができる。

【0048】交流電界供給部40が、被試験回路22に交流電界を供給する。本明細書において、「交流電界」とは、交流電源によって発生される電界を意味する。交流電界供給部40は、所定の周波数を有する交流電界を生成することができ、必要に応じて周波数を調整することができる。パターン供給部12が、被試験回路22に

テストパターンを供給する。テストパターンの生成法については、第1の実施形態の特に図6に関連して既に説明した。電源電流測定部14は、交流電界供給部40により交流電界が被試験回路22に供給され、パターン供給部12によりテストパターンが被試験回路22に供給されている状態において、被試験回路22の電源電流を測定することができる。

【0049】被試験回路22に含まれるトランジスタは、ゲート入力に寄生容量を有している。交流電界供給部40により供給される交流電界は、トランジスタのゲート入力の容量を荷電する。ゲート信号入力線が断線したトランジスタのゲート入力に存在する容量に交流電界が供給されると、荷電量に基づいて、ゲートがオン/オフする。その結果、トランジスタの静止状態において、電源電流に異常電流が生じる。断線故障を有する被試験回路22の電源電流は、本発明の第1の実施形態で説明した図5(b)に示されるように、交流電界の周期に同期して変動する。

【0050】電源電流測定部14は、異常電流が生じた電源電流を測定する。比較部24は、電源電流の周波数と、交流電界の周波数とを比較する。検出部26は、電源電流と交流電界の周波数が一致していれば、異常電流が交流電界により生じたことを判定して、被試験回路の故障を検出する。

【0051】図10は、交流電界供給部40の構成の一例を示す。交流電界供給部40は、交流電源42および電極46a、46bを有する。交流電界は、電極46aと46bの間で生成され、被試験回路22に含まれるトランジスタのゲート入力の容量を荷電する。交流電源42は、交流電界の周波数を変化させることができる。電源電流測定部14は、交流電源42により周波数を変化された交流電界が被試験回路22に供給されている状態において、被試験回路22の電源電流を測定する。

【0052】電源電流に異常電流が生じている場合に、異常電流と交流電界の周波数が一致していれば、異常電流が、交流電界により生じたことがほぼ確認される。しかし、周囲の環境に、交流電界と同一の周波数を有するノイズが存在する可能性もある。そのため、交流電界の周波数を変化させて試験したときに、変化させた周波数と、異常電流の周波数とが一致していれば、異常電流が、交流電界により生じたことを更に確認することが可能となる。

【0053】図11は、複数のプローブを有する交流電界供給部50を示す。交流電界供給部50は、複数のプローブ52aおよび52bから、論理素子の入力に交流電界を供給する。NANDゲートは、断線した信号入力線にあてられたプローブ52bから供給される交流電界に基づいて、トランジスタの静止状態であっても、出力を変化させる。そのため、電源電流に異常電流が生じ、NANDゲートの信号入力線の断線故障が検出される。

【0054】図12は、図9から11に関連して説明した回路試験装置50によって、効率的に試験されることが可能なCMOS回路54の一部の構成を示す。CMOS回路50は、複数の論理素子34a、34b、34cを有する。論理素子34bのゲート入力には、寄生容量56a、56bが存在し、論理素子34cのゲート入力には、寄生容量56c、56dが存在する。また、CMOS回路50は、断線故障の有無を試験するために外部から供給される交流電界により荷電量を変化させ、複数の論理素子中の少なくとも一部の論理素子の入力に、交流波形を供給する断線故障診断用キャパシタ48a、48bを有する。

【0055】前述したとおり、回路試験装置50は、トランジスタのゲート入力に本来存在する寄生容量に交流電界を供給することにより、断線故障をもつ信号線のゲート入力の電圧をしきい値付近で変動させ、電源電流の変化を測定することを特徴としている。CMOS回路54は、ゲート入力部に断線故障診断用キャパシタ48a、48bを設けることによって、論理素子34bおよび34cに供給する交流波形の振幅を大きくすることが可能となる。

【0056】上記説明から明らかなように、本発明によれば、電磁波または交流電界を用いて電源電流を測定することにより、効率的に回路を試験する回路試験装置を提供することができる。以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができることが当業者に明らかである。例えば、実施形態はCMOS回路について説明してきたが、プリント回路基板などについても、本発明を適用することが可能である。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれることが、特許請求の範囲の記載から明らかである。

【0057】

【発明の効果】本発明は、効率的に回路を試験することができる回路試験装置を提供することができる、という効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施形態における、被試験回路22を試験する回路試験装置10のブロック図を示す。

【図2】第1周波数を有する電磁波を出力する第1コイル18aと、第2周波数を有する電磁波を出力する第2コイル18bの位置関係の一例を示す。

【図3】NANDゲート30のゲート信号入力線の状態を示す。

【図4】図3(b)に示された故障回路1の回路図である。

【図5】被試験回路22において測定される電源電流と、電磁波との関係を示すタイミングチャートである。

【図6】2入力NANDゲートにおいて生じる故障箇所



の例を示す。

【図7】図3に示された各回路の実験により測定された電源電流波形を示す。

【図8】図1から7に関連して説明した回路試験装置10によって、効率的に試験されることが可能なCMOS回路32の一部の構成を示す。

【図9】本発明の第2実施形態における、被試験回路22を試験する回路試験装置50のブロック図を示す。

【図10】交流電界供給部40の構成の一例を示す。

【図11】複数のプローブを有する交流電界供給部50を示す。

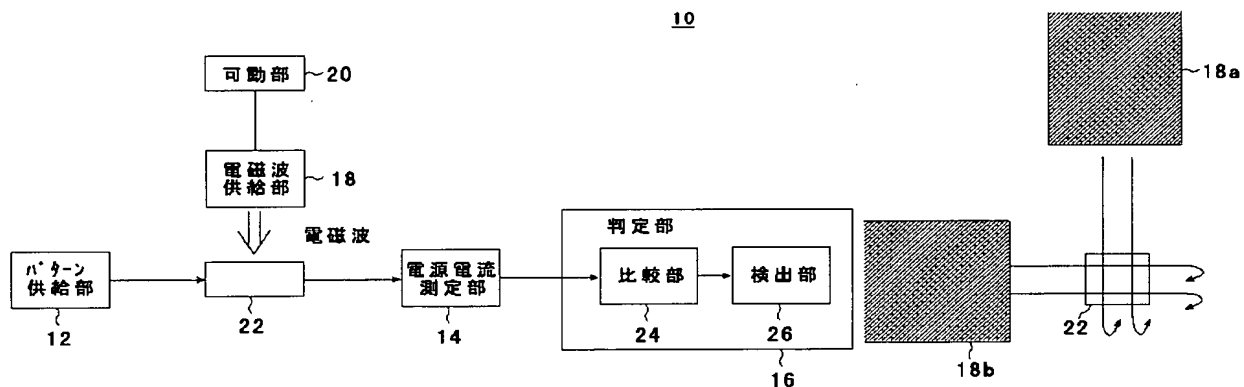
【図12】図9から11に関連して説明した回路試験装置50によって、効率的に試験されることが可能なCM

OS回路54の一部の構成を示す。

【符号の説明】

10・・・回路試験装置、12・・・パターン供給部、14・・・電源電流測定部、16・・・判定部、18・・・電磁波供給部、18a、18b・・・コイル、20・・・可動部、22・・・被試験回路、24・・・比較部、26・・・検出部、30・・・NANDゲート、32・・・CMOS回路、34a、34b、34c・・・論理素子、36a、36b・・・断線故障診断用アンテナ、40・・・交流電界供給部、42・・・交流電源、46a、46b・・・電極、48a、48b・・・断線故障診断用キャパシタ、50・・・回路試験装置、52a、52b・・・プローブ、54・・・CMOS回路

【図1】



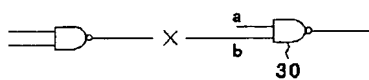
【図2】

【図3】

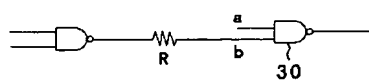
(a) 正常回路



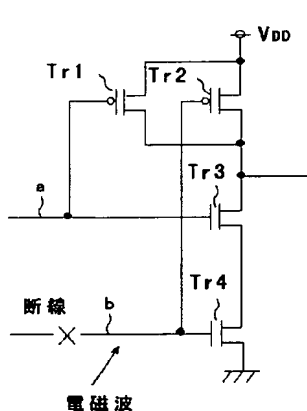
(b) 故障回路 1



(c) 故障回路 2



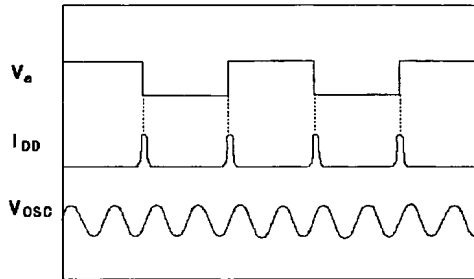
【図4】



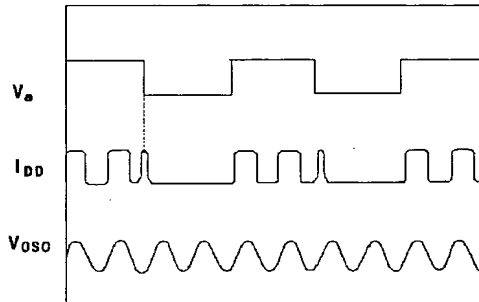
30

【図5】

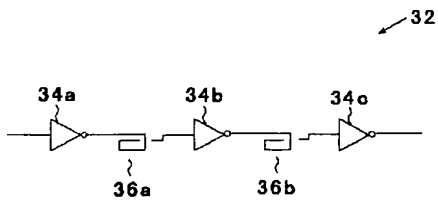
(a) 正常回路の電源電流



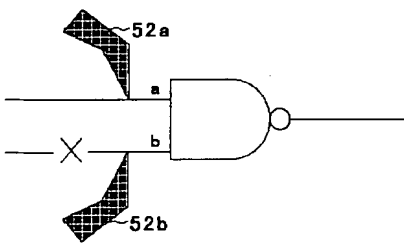
(b) 故障回路1の電源電流



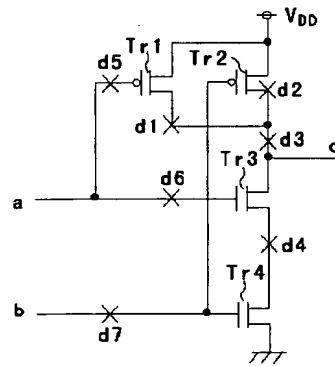
【図8】



【図11】

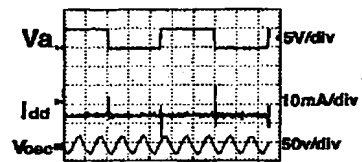


【図6】



【図7】

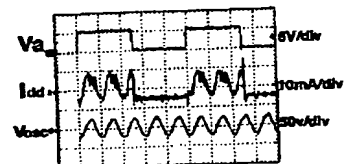
(a) 正常回路の測定電源電流



(b) 故障回路1の測定電源電流

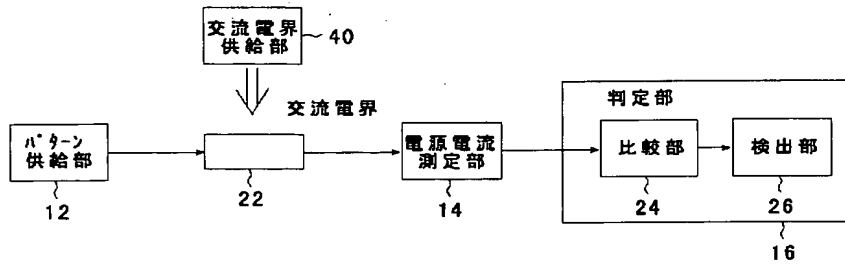


(c) 故障回路2の測定電源電流

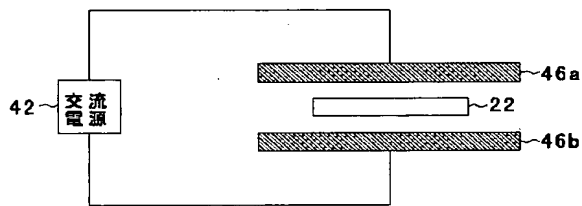


【図9】

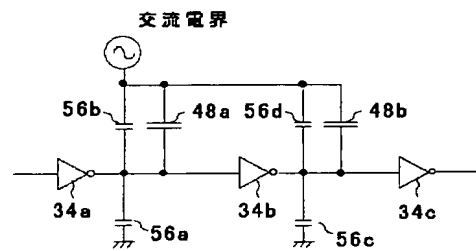
50



【図10】



【図12】



フロントページの続き

(72)発明者 為貞 建臣  
徳島県徳島市福島1丁目7番地57号

Fターム(参考) 2G014 AA02 AB59 AC09  
2G032 AB01 AC00 AD08 AG09

BEST AVAILABLE COPY